

三维封装铜柱应力及结构优化分析

江 伟, 王丽凤

(哈尔滨理工大学 材料科学与工程学院, 哈尔滨 150080)

摘 要:文中利用有限元模拟软件 ANSYS 对三维立体封装芯片发热过程中整体应力及局部铜柱的应力情况进行分析,并对三维封装的结构进行了优化设计. 结果表明,最大应力分布在铜柱层,铜柱的应力最大点出现在铜柱外侧拐角与底部接触位置. 以铜柱处最大应力作为响应,进行了结构参数优化,采用三因素三水平正交试验方法,分别使用铜柱直径、铜柱高度、铜柱间距三个影响因素作为变化的结构参数. 结果表明,铜柱直径的变化对等效应力影响最大,铜柱间距次之,铜柱高度影响最小. 且发现随着铜柱高度、铜柱间距、铜柱直径的不断增大其铜柱外侧拐角与底部接触位置的最大等效应力不断减小.

关键词:有限元模拟; 铜柱应力; 正交试验; 参数优化

中图分类号: TG 404 **文献标识码:** A **文章编号:** 0253 - 360X(2017)03 - 0112 - 05

0 序 言

随着电子工业的不断发展,对微系统的功能、密度和性能要求不断提高,为顺应摩尔定律的增长趋势,芯片技术越来越向着小型化和高性能方向发展,并且越来越需要三维集成方案,在此推动下,穿透硅通孔技术(through silicon vias, TSV)应运而生^[1],成为三维集成、芯片级和晶圆级封装的关键技术之一. TSV 技术是通过在芯片与芯片之间、晶圆与晶圆之间作垂直互连,是实现芯片之间互连的最新技术. 三维封装与传统封装相比有特殊的优势,TSV 能够使三维方向堆叠密度最大,因此使得电性能大大提高,互连长度大大减小^[2]. 3D 堆叠芯片极薄,可以小到 50 ~ 100 μm,非常容易产生裂纹^[3],例如在热循环和高压键合下极易产生裂纹,很多研究指出,通过调整铜柱高度,铜柱间距及铜柱直径可以避免裂纹的产生^[4,5].

由于三维封装结构的复杂性和尺寸的微化,使得 TSV 技术变得更加复杂,许多有关 TSV 技术的研究也只是在初期,因此使用 ANSYS 软件利用有限元分析方法对三维堆叠封装进行模拟研究显得尤为重要. 在小规模三维堆叠封装中,芯片产热是极大的,特别是芯片极薄的情况下会产生很大的温差,中间温度极高,对芯片造成损害,另外随着芯片封装尺寸

的减小和芯片的垂直堆叠,大量不同热膨胀系数的材料将围绕 TSV,由于铜热膨胀系数相对较大,造成材料间热膨胀系数差很大,这样在热的作用下将产生大量的热应力,因此由于芯片发热问题而引起热应力不得不被引起高度重视.

Chukwudi 等人^[6]对 3D-SiC 封装中铜通孔 Cu-Cu 键合压力进行了研究,认为铜(16.7 ppm/℃)与硅之间(2.3 ppm/℃)热膨胀系数的不匹配,铜的自由膨胀被大块的硅所限制将会在硅片内部产生应力而影响结构的整体性能,最终导致硅片的失效. 文中虽然指出失效机制,但并未对此进行深入研究. 因此研究铜与硅之间的结构力学性能具有重要的意义. Hsieh 等人^[7]对四层芯片堆叠封装体的热力学性能进行了模拟计算研究. 为了获得在堆叠 IC 封装的热应力分布,设计了 4 层堆叠 IC 封装(芯片对芯片)与 TSV 技术的结构. 指出在芯片发热过程中,TSV 受热应力的影响,封装体最大应力出现在芯片界面和 TSV 结构连接处. 文中指出了最大应力的分布位置,但并未对影响应力分布的结构参数进行研究,因此研究铜结构参数对应力分布的影响具有重要意义. 文中首先通过一组合适的参数研究了在芯片发热过程中三维封装结构整体应力情况及局部 TSV 通孔中铜柱的应力情况,然后把铜柱直径、高度和间距作为优化参数,通过使用正交试验方法对不同参数下铜柱最大应力数据进行分析,从而找到铜柱直径、铜柱高度和铜柱间距三者对铜柱应力影响的大小.

1 3D 有限元模型设计

图 1 所示的是 3D 模型示意图. 铜柱外侧填充物做了透明设置,最上部分为发热芯片,文中考虑的是 TSV 的性能,所以对第二层芯片间的焊球和填充材料进行等效处理^[8],TSV 芯片与下面的基板间的

焊料和填充料也采用此法,精度上或许有些误差,但不会影响 TSV 主要性能的研究. 第三层为铜柱和硅填充层,其中填充物硅用于保护和吸收由于温度变化而引起的应力,铜柱用于实现上下部分互连,凸点上侧为双马来酰亚胺三氮杂苯 (bismaleimide triazine,BT)树脂基板,最下层为以玻纤环氧树脂 (FR-4)为材料的 PCB 基板.

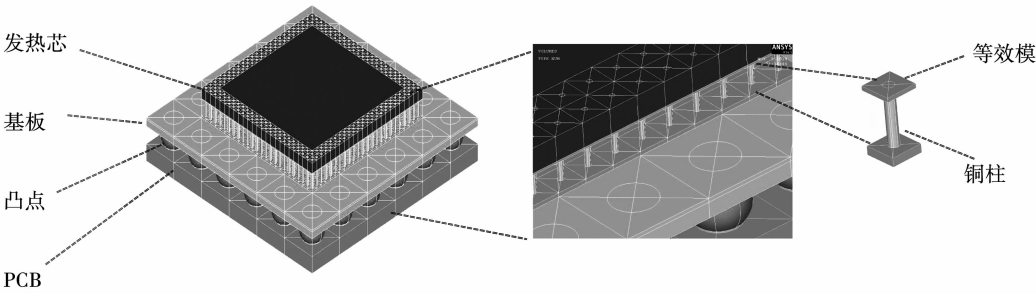


图 1 3D 模型示意图
Fig. 1 Whole 3D model structure

在芯片发热过程中采用的是热结构耦合分析方法,采用热单元 solid70,转换到结构单元 solid185 后进行结构分析,图 2 所示的是 3D 封装有限元 1/4 模

型. 由于结构对称性,为简化模型和减少计算,研究模型采用 1/4 模型进行分析,网格划分采用软件自带的网格划分工具,整体采用六面体网格划分,并对重点分析区域进行局部细化,考虑到芯片发热过程中芯片底部结构容易产生扭曲变形,因此对 PCB 基板中心施加 x,y,z 三个方向为零的自由度约束. 3D 有限元 1/4 模型的网格划分 SI 芯片、填充物、焊点、基板. 由于其自身材料性质,在热条件下具有很好的变形能力,在热失配的剪切和弯曲作用下,可以发生较大弹性变形,因此是典型的弹塑性材料,这里的铜柱假设为双线性各向同性硬化行为材料,即材料达到屈服强度后开始产生塑性应变. 3D 有限元模型弹塑性参数如表 1^[9,10]所示.

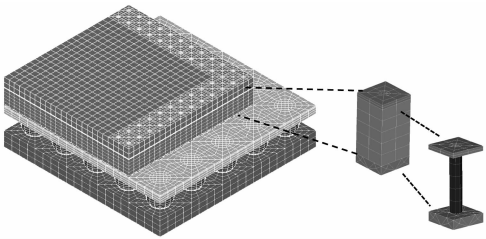


图 2 3D 封装有限元 1/4 模型
Fig. 2 1/4 3D fiite element meshing

表 1 3D 有限元模型弹塑性参数
Table 1 Elastic-plastic parameters of 3D model

材料	对流换热系数 $h/(W\cdot m^{-2}\cdot ^\circ C^{-1})$	热导率 $\lambda/(W\cdot m^{-1}\cdot ^\circ C^{-1})$	密度 $\rho/(kg\cdot m^{-3})$	弹性模量 E/GPa	泊松比 ν	线膨胀系数 $\alpha_l/10^{-6}K^{-1}$	屈服强度 R_{el}/MPa	切线模量 G/MPa
铜柱	15	390	8 900	117	0.35	14.3	33	46
等效模块	15	1.58	5 000	47	0.3	20.0	—	—
硅芯片	15	124	2 330	191	0.30	2.30	—	—
基板	15	100	1 550	26	0.28	15.0	—	—
焊料凸点	15	57	8 740	470	0.363	21.0	—	—
PCB	15	1	1 550	17 200	0.42	14.0	—	—

2 3D 有限元模型参数设计

试验的芯片发热功率为 1 W 采用体生热的方式来施加热源,其中芯片体积 12.96 mm³,因此体生热率为 0.08 W/mm³,文章中使用的基板尺寸为 9 mm×9 mm×0.2 mm,使用的芯片的尺寸为 7.2 mm×7.2 mm×0.25 mm,使用的 PCB 尺寸为 9 mm×9 mm×0.4 mm,首先以一组合适的结构参数来模拟分析铜柱的应力情况其设计如表 2 所示.

表 2 3D 有限元模型结构参数

Table 2 Structure parameters of 3D model

铜柱直径 D/mm	铜柱高度 H/mm	铜柱间距 L/mm
0.1	0.4	0.25

3 三维封装结构等效应力分析

等效应力遵循第四强度理论,即畸变能密度理论,当等效应力达到屈服应力时,材料即发生屈服,等效应力常用来描述多种材料综合作用下的复杂应力状态. 为了很好的观察和计算应力情况,文中采用等效应力去分析应力的分布和大小,图 3 为在室温下芯片持续发热状态的三维封装整体应力分布情况.

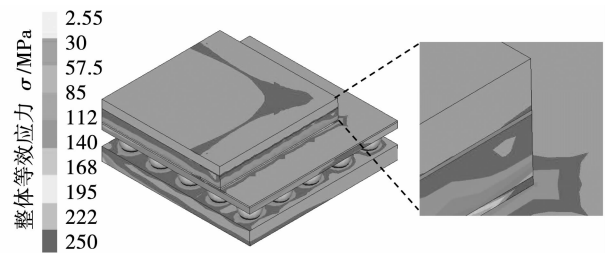


图 3 3D 封装整体等效应力分布

Fig. 3 Whole von-mises stress distribution

通过整体等效应力云图及局放大等效应力云图分析可知,铜柱一侧等效应力明显高于其它处,对于三维封装铜柱应力分析国内外也有相关研究,秦飞等人^[10]指出铜和硅的热膨胀系数相差六倍致使 TSV 器件热应力水平很高,因此分析铜柱一侧应力较大是由于铜和填充硅的热膨胀系数不匹配所致,而且模拟发现最大等效应力均分布在铜柱外侧拐角与底部接触位置,其铜柱最大等效应力分布云图如图 4 所示.

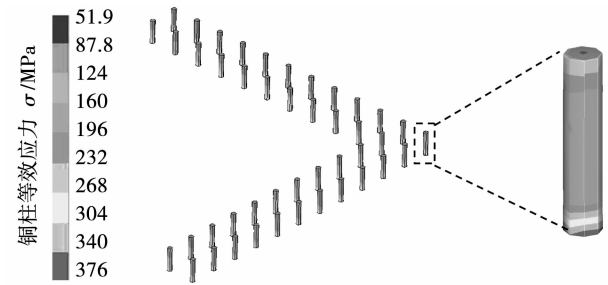


图 4 铜柱等效应力分布

Fig. 4 Copper cyclinder von – mises stress distribution

分析铜柱之所以最大等效应力分布在铜柱外侧拐角与底部接触位置是因为铜柱为弹塑性体,而且距离中心位置最远,热膨胀系数不匹配最严重且位移最大. 因此在芯片连续发热铜柱长期服役的过程中热应力最大且最容易损坏.

4 三维封装结构参数优化设计及分析

4.1 三维封装结构参数优化设计

三维封装结构对芯片发热过程中整体和局部的残余应力影响很大,设计适宜的结构参数对整体三维封装结构至关重要,文中以铜柱外侧拐角与底部接触位置的铜柱处最大应力作为响应,以铜柱高度、铜柱间距、铜柱直径三个因素作为优化参量,通过调整这三个变化参量对结构进行优化. 其参数设计如表 3 所示.

表 3 铜柱结构参数设计

Table 3 Design of structure parameters

铜柱高度 H/mm	铜柱间距 L/mm	铜柱直径 D/mm
0.25	0.05	0.05
0.30	0.15	0.10
0.40	0.25	0.15

试验使用 Minitab 软件中的田口正交试验设计方法,采用 4 因素 3 水平的 L9 正交表进行田口正交试验分析,其中第 4 因素为经过模拟后的试验结果,1,2,3 分别为铜柱高度、铜柱间距、铜柱直径各自的由小到大水平数. 铜柱高度、铜柱间距、铜柱直径 3 个因素参量变化时会有铜柱相应个数的改变,但模拟发现无论参数如何变化铜柱最大应力均出现在铜柱外侧拐角与底部接触位置. 以铜柱外侧拐角与底部接触位置处最大应力作为第 4 响应因素,从而分析 3 种因素对铜柱最大等效应力影响. 其 L9 正交试验表如表 4 所示.

表 4 田口正交试验表 L9
Table 4 Orthogonal test tabel L9

方案	铜柱高度 H/mm	铜柱间距 L/mm	铜柱直径 D/mm	边角最大应力 σ/MPa
1	1	1	1	426
2	1	2	2	346
3	1	3	3	311
4	2	1	2	354
5	2	2	3	324
6	2	3	1	349
7	3	1	3	318
8	3	2	1	349
9	3	3	2	321

4.2 正交试验分析

文中采用直观分析法(极差法)进行正交试验结果分析,此分析法适用于寻求最优生产条件、最佳工艺、最好配方的科研生产实践中,其步骤如下.

(1) 计算各因素水平的综合平均值,选出各因素最优水平. 具体方法是将同一因素同一水平的试验数据求平均值,假设因素 A,以因素 A 为例,首先求出因素 A 的第 i 水平对应的数据之和 K_{iA} ,然后除以该水平的重复试验次数得到综合平均值 $\overline{K_{iA}}$.

(2) 计算各因素水平的极差,区分因素的主次. 仍以因素 A 为例,其综合平均值的极差为

$$R_A = \max_i \{ \overline{K_{iA}} \} - \min_i \{ \overline{K_{iA}} \} \tag{1}$$

式中: R_A 为因素 A 综合平均值的极差; $\overline{K_{iA}}$ 为因素 A 的综合平均值.

将各因素的极差按照由小到大排列,极差大的因素,认为对试验指标的影响大,极差排在前面的是主要影响因素,排在后面的是次要因素.

(3) 选取最优水平组合. 在主次确定后的基础之上,每一个因素在各自不同水平的综合平均值下,选取最优水平组合.

由正交试验表数据及以上分析方法可得分析如表 5 所示.

表 5 正交试验分析表
Table 5 Orthogonal test analysis table

方案	铜柱高度 H/mm	铜柱间距 L/mm	铜柱直径 D/mm	边角最大应力 σ/MPa
1	1	1	1	426
2	1	2	2	346
3	1	3	3	311
4	2	1	2	354
5	2	2	3	324
6	2	3	1	349
7	3	1	3	318
8	3	2	1	349
9	3	3	2	321
K_1	359.7	369.7	374.7	
K_2	342.7	335	342.7	
K_3	329.3	327	314.3	
极差	30.3	42.7	60.3	

给定铜柱高度、铜柱间距、铜柱直径分别为 A, B, C,通过表上极差数据分析可知 $C > B > A$ 所以 C 的影响最大,B 次之,A 最小,即铜柱直径的变化对等效应力影响最大,铜柱间距次之,铜柱高度影响最小.

通过田口正交试验数据分析可以得出各因素在不同水平下的均值主效应图,其原理是将不同因素的各自水平对应下的等效应力求平均值,然后连线画出图形,如图 5 所示.

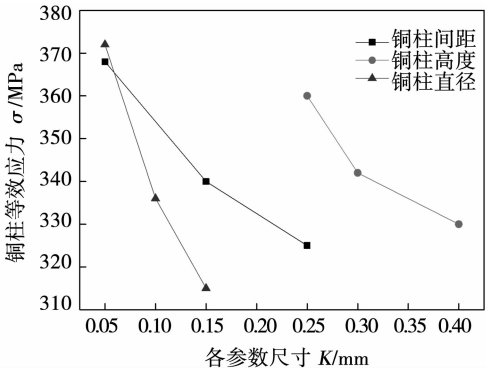


图 5 均值主效应图
Fig. 5 Average of main effects plot

由图 5 可以看出,随着铜柱高度、铜柱间距、铜柱直径的不断增大,其铜柱外侧拐角与底部接触位置的最大等效应力不断减小. 分析认为,随着铜柱高度的增大致使铜柱周围填充物增多. 但由于填充物具有缓冲作用,使应力有逐渐减小的趋势. 铜热膨胀系数明显高于填充硅,随着铜柱间距的增大致使含铜比例增多,整体中间层热膨胀系数下降,中间层与底部接触位置热膨胀系数差减小,致使铜柱外侧拐角与底部接触位置的最大等效应力不断减小. 应力之所以随着铜柱间距的增大而减小,是因为随着铜柱间距的增大,中间层等效热膨胀系数减小,所以中间层与底部接触位置热膨胀系数差减小,致使铜柱外侧拐角与底部接触位置的最大等效应力不断减小. 应力之所以随着铜柱直径的增大而减小,是因为随着铜柱直径增大,铜柱个数相应减小,在选定参数范围内使得整体中间层铜的比例减小,导致中间层等效热膨胀系数减小,而使铜柱外侧拐角与底部接触位置的最大等效应力不断减小. 所以,在合适的参数范围内选择适当大的铜柱高度、铜柱间距、铜柱直径,可减小由于芯片发热引起的铜柱的残余应力.

5 结 论

(1) 使用模拟软件 ANSYS 建立了基于穿透硅通孔技术的三维封装有限元模型,分析了在芯片发热状态下整体应力分布和铜柱的应力分布情况. 因为铜柱和填充物热膨胀系数的不匹配,所以最大应力出现在铜柱处且分布在铜柱外侧拐角与底部接触位置.

(2) 以铜柱处最大应力作为响应,进行了结构参数优化,并采用正交试验方法进行了分析,发现铜柱直径的变化对等效应力影响最大,铜柱间距次之,铜柱高度影响最小. 且通过均值主效应图发现在参数选定范围内,随着铜柱高度、铜柱间距、铜柱直径的不断增大其铜柱外侧拐角与底部接触位置的最大等效应力不断减小.

参考文献:

[1] Lau H. T. Overview and outlook of through-silicon via (TSV) and 3D integration[J]. Microelectronics International, 2011, 28 (2): 8 – 22.

[2] Tummala R R. A new microsystem-integration technology paradigm-Moore’s law for system integration of miniaturized convergent systems of the next decade[J]. IEEE Transactionson Advanced Packaging, 2004: 247 – 248.

[3] Tanaka N, Sato T, Yamaji Y, *et al.* Mechanical effects of copper through-vias in a 3D die-stacked module[C] //52nd Electronic Components and Technology Conference, San Diego, 2002: 473 – 479.

[4] Chiu C C, Wu C J, Peng C T, *et al.* Failure life prediction and factorial design of lead-free flip chip package[J]. Journal of the Chinese Institute of Engineers, 2007, 30(3): 481 – 490.

[5] Cotterell B, Chen Z, Han J B, *et al.* The strength of the silicon die in flip-chip assemblies[J]. Journal of Electronic Packaging, 2003, 125(3): 114 – 119.

[6] Chukwudi Okoro. Analysis of the induced stresses in silicon during thermocompression Cu-Cu bonding of Cu-through-vias in 3D-SIC Architecture[C] // Electronic Components and Technology Conference, NV, 2007: 249 – 255.

[7] Hsieh C M, Yu C K. Thermo-mechanical Simulations For 4-Layer Stacked IC Package s[C] // EuroSimE 2008. International Conference, Freiburg Im Breisgau, 2008: 1 – 7.

[8] 田艳红, 王 宁, 杨东升, 等. 三维封装芯片键合 IMC 焊点应力分析及结构优化[J]. 机械工程学报, 2012, 28(7): 18 – 20.

Tian Yanhong, Wang Ning, Yang Dongsheng, *et al.* Three dimensional packaging chip bonding IMC solder joint stress analysis and structure optimization[J]. Transactions of the China Welding Institution, 2012, 28(7): 18 – 20.

[9] 王宏明. 应用于三维叠封装的硅通孔建模及传热和加载分析[D]. 西安: 西安电子科技大学, 2012.

[10] 秦 飞, 王 君, 万里兮, 等. TSV 结构热机械可靠性研究综述[J]. 半导体技术, 2012, 25(4): 825 – 831.

Qin Fei, Wang Jun, Wan Lixi, *et al.* TSV structure thermal mechanical reliability studies [J]. Semiconductor Technology, 2012, 25(4): 825 – 831.

作者简介: 江 伟,男,1988 年出生,硕士研究生,主要从事微电子封装方向的研究. 发表论文 1 篇. Email: jiangwei188200@163.com

通讯作者: 王丽凤,女,博士,教授. Email: wlf8151@126.com