

高性能功率器件封装及其功率循环可靠性研究进展

关若飞¹, 贾强¹, 赵瑾¹, 张宏强², 王乙舒¹, 邹贵生³, 郭福^{1,4}

(1. 北京工业大学, 北京, 100124; 2. 北京航空航天大学, 北京, 100191; 3. 清华大学, 北京, 100084;
4. 北京联合大学, 北京, 100101)

摘要: 半导体技术的进步使得功率器件面临更高的电压、功率密度和结温, 这对功率器件的封装的可靠性提出了更高的要求。如何提高和检测功率器件的可靠性已经成为功率器件发展的重要任务。提升器件封装可靠性主要围绕优化封装结构、改进芯片贴装技术和引线键合技术 3 个方向研究。功率循环作为最贴近功率器件实际工况的可靠性测试方法, 其测试技术、参数监测方法和失效机理得到广泛的研究。对功率器件封装结构、封装技术以及功率循环机理的相关研究进行了综述, 总结了近年国内外的提升封装可靠性的方法, 并介绍功率循环测试的原理和钎料层、键合线的失效机理, 最后对于功率器件封装的未来发展趋势进行了展望。

创新点: (1) 从封装结构、芯片贴装和引线键合 3 方面讨论了提升功率器件封装可靠性。
(2) 总结了功率循环的控制参数、策略、检测参数和失效判据方面的研究。

关键词: 功率器件; 封装结构; 功率循环测试; 芯片贴装; 引线键合

中图分类号: TG 454 文献标识码: A doi: 10.12073/j.hjxb.20230613015

0 序言

功率器件作为电力电子系统中的核心部分, 起到功率转换、功率放大、功率开关、线路保护和整流等作用, 被广泛应用于电力输送、高铁、电动汽车、工业控制等领域, 对功率器件的性能提出更高的要求。以 SiC 为代表的第三代半导体材料由于具有较宽的禁带宽度(大于 2.3 eV)、更低的本征载流子浓度(10 ~ 35 个数量级)、更高的电击穿场(4 ~ 20 倍)、更高的热导率(3 ~ 13 倍)和更大的饱和电子漂移速度等诸多优越性, 成为了支撑高性能功率器件相关产业自主创新和发展和转型升级的核心材料和竞争焦点^[1]。

与普通电子器件相比, 高性能功率器件除了要面临更恶劣的外部环境外, 还需要承受更高的电压、电流变化率和功率密度, 电路中存在的寄生电感在快速变化的电流中极易产生电压过冲和振荡现象, 造成电压应力、电磁干扰和损耗的增加^[2], 且

更高的功率密度也意味着器件将承受更高的结温。因此, 器件的封装可靠性已经成为了限制器件性能的重要制约因素。

在实际工况下, 功率器件的寿命有时可达数十年, 对于功率器件的可靠性测试需要通过加速老化试验来实现。其中功率循环试验(power cycling test)作为考核功率器件可靠性最重要的试验, 通过外部电流的导通和断开模拟器件在实际工况的开关过程, 以器件中的芯片为热源, 在不改变失效机理的基础上加速老化。功率循环试验中器件在循环的外部负载电流下, 结温发生周期性波动, 由于各层材料间存在热膨胀系数不匹配引发器件的失效。

近些年, 随着第三代半导体在新能源汽车、移动通信及轨道交通等领域日益广泛的应用, 依托功率循环测试技术的功率器件可靠性分析与失效行为等方面的研究得到了大量学者的广泛关注, 相关测试技术与研究也取得了新的进展。文中从功率器件的封装结构入手, 介绍了器件的结构和对可靠性至关重要的芯片贴装技术和引线键合技术, 同时围绕功率循环的原理、参数监测和失效机理进行分析, 最后对提高功率器件可靠性及功率循环检测准确性的潜在研究方向进行了展望。

1 功率模块封装

1.1 功率模块封装结构

典型的功率模块结构如图 1 所示^[3], 底部通常使用钎料连接散热底板和表面覆金属的陶瓷基板, 一般是覆铜陶瓷基板 (direct-bonded copper, DBC)。DBC 板为芯片提供电气绝缘、耐蚀保护、机械支撑、散热通道等, 其中以 Al_2O_3 , AlN 和 Si_3N_4 陶瓷

基板应用最为广泛。DBC 上侧通过钎料和功率芯片连接, 芯片与外部端子之间由引线键合连接, 整个模块用环氧树脂塑封料进行塑封。底板通常采用 Cu 或 AlSiC 作为底座, 并通过热扩散使整个模块温度分布均匀。功率模块外部通过塑封将芯片与外界环境污染和湿气隔绝, 常用的塑封剂主要成分是二氧化硅和环氧树脂。目前, 欧洲制造商生产的功率模块中 70%~80% 均属于该结构, 在亚洲制造的模块中应用也很普遍。

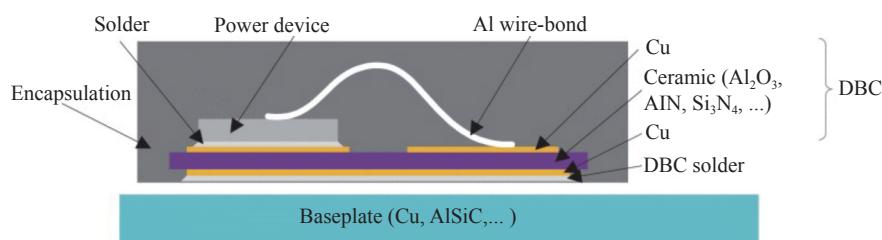


图 1 典型功率模块结构示意图^[3]

Fig. 1 Sectional view of typical power module structure

随着对高功率密度和电压等级需求的增加, 传统功率器件的封装结构已经不能满足要求。传统的硅芯片器件最高结温不超过 175 °C, 而第三代半导体器件中如 SiC 功率器件理论上已经可以适应 300 °C 的工作结温, 还具有更高的开关速率和更高的封装密度, 这些特点对器件的寄生电感、散热能力和热机械可靠性^[4]等方面提出了更高的要求。目前围绕功率器件的封装需求, 研究人员在传统封装结构的基础上提出了一些新的改进, 进一步提升了功率器件的性能。

1.1.1 无键合线单面结构

功率模块封装大多采用引线键合结构实现模块内电流导通, 然而它的缺点在于, 需要在基板上增加接合区域以形成互连路径, 并产生寄生电感降低器件可靠性, SiC 器件的高开关速度放大了该影响, 传统键合线连接方式成为了限制负载电流能力和可靠性的瓶颈, 因此无键合线的封装设计成为了改善功率模块封装结构的重要研究方向。

Ikeda 等人^[5]为实现高密度、高可靠的 SiC 功率器件封装, 取消了键合线和底板, 采用铜针和印制电路板 (printed circuit board, PCB) 代替键合线进行连接, 在陶瓷表面上设计了厚铜块, 从而增加导热速率, 通过 PCB 板和 DBC 板产生的层叠电流抵消部分电感, 并采用新型环氧树脂代替传统硅胶,

结构如图 2 所示。由于铜材料的电阻更低, 并且电路径更短, 芯片表面上的这些铜针连接比传统的键合线结构能够承受更大的电流, 而刚性的环氧树脂与软的硅胶相比可以降低每个循环中的应变幅度。

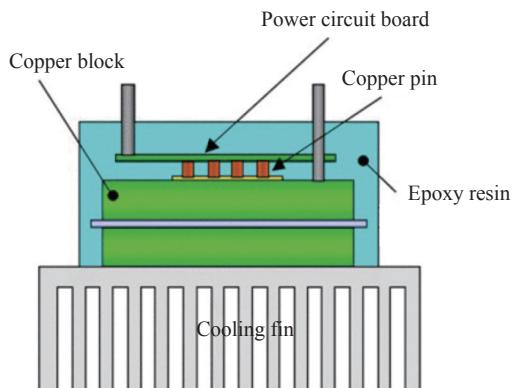


图 2 采用 PCB 板取代键合线的封装结构示意图^[5]

Fig. 2 Sectional view of packaging structure using PCB instead of bonding wire

Stabach 等人^[6]采用了大面积的薄金属板代替键合线与芯片连接, 其金属板刻有与芯片匹配的图案, 该结构除了降低电感和体积之外, 比起键合线需要逐点进行连接, 金属板只需一次连接, 封装效率也得到了提高。Stockmeier 等人^[7]采用 SKiN 布线技术, 即采用两侧都有图案化金属层的柔性电路板代替键合线进行互连, 柔性板将模块分为上下两层, 其中上层为逻辑侧, 主要承受辅助和感应信号,

下侧为功率侧, 承载负载电流, 并用银颗粒烧结代替传统钎料, 结构如图 3 所示, 该结构的特点在于柔性电路板与芯片的接触面积远大于引线键合的点互连, 热传导得到改善, 因此具有更高的功率循环寿命, 且柔性互连占用空间更小, 使模块体积得以精简.

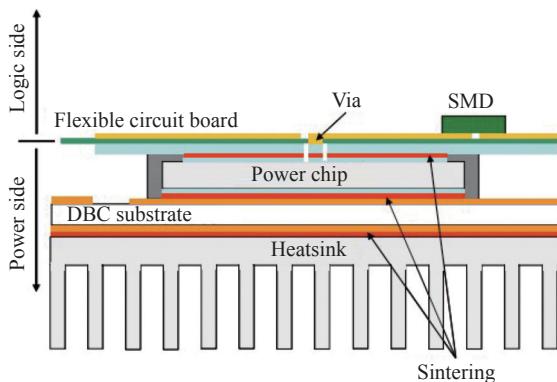


图 3 SKiN 封装横截面示意图^[7]
Fig. 3 Sectional view of SKiN packaging

传统键合线工艺引入较大的寄生电感, 在面对

高性能功率器件大的电流变化率时会引起电压过冲、振荡等问题. 取消键合线连接可降低寄生电感, 还使器件上表面成为潜在的散热通道, 为解决高性能器件散热问题提供了方向.

1.1.2 双面散热结构

随着器件功率密度和结温的上升, 提升器件散热能力成为了提高可靠性的关键之一, 传统器件由于采用引线键合技术, 上表面无法作为散热通道. 将上表面作为散热通道可增强器件的散热能力、降低结温进而提升可靠性, 成为改善封装可靠性的途径之一.

Zhu 等人^[8]提出了一种利用压力接触取代键合线和钎料的 press-pack 封装方法, 如图 4 所示, 该方法引入了被称为“Fuzz Button”的微型柔性压针, 在使器件中的压力均匀分布的同时还降低了寄生电感; 该结构中, SiC 芯片压接在钼基板上, “Fuzz button”将芯片栅极和源极与上基板连接, 上下两层冷却采用液冷, 经仿真得到的冷却效果优异, 在总耗散功率为 60 W 时最大结温仅为 85 °C.

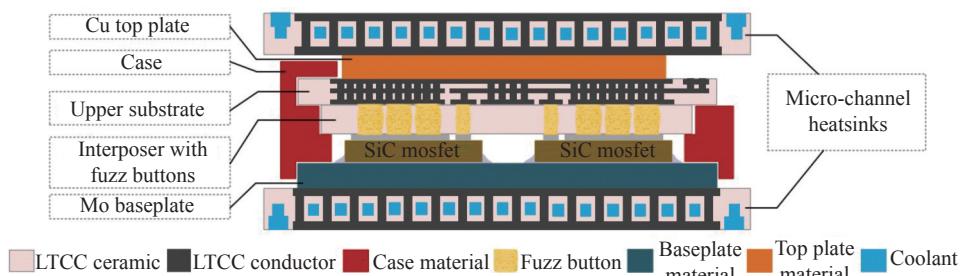


图 4 Press -pack 封装示意图^[8]
Fig. 4 Sectional view of press-pack packaging

Liang^[9]采用平面键合 (planar-bond-all, PBA) 的方式取代了键合线, 实现了芯片与外部的互连, 并在芯片两侧均采取 DBC 连接, 两 DBC 外侧均与热沉连接, 以这种方式实现了双通道散热, 模块结构示意如图 5 所示, 经测试得到该结构热阻比传统单面散热结构降低了 38%, 说明其散热能力得到提升.

除上述设计外, 还有双金属基复合基板双面散热、压接封装双面散热、引线框架连接双面散热等多种实现双散热通道的封装设计. 具有更多维度散热通道的封装结构也在开发当中, 如 Boteler 等人^[10]设计了可以四面散热的封装结构, 这为未来通过封装结构改善器件散热性能提供了新思路.

1.1.3 多层陶瓷基板堆叠

传统封装结构在陶瓷板、陶瓷板表面金属和塑

封剂三结合点处具有峰值电场. SiC 功率器件高功率密度的特点会增加电场密度, 因而在峰值电场处会有击穿风险, 发生局部放电, 而重复的局部放电会导致绝缘失效, 从而降低功率模块寿命^[11].

Dimarino 等人^[4]采用了具有更好绝缘性能和更好的热循环能力的 DBA 板代替 DBC 板, 其中陶瓷层选用 1 mm 厚 AlN, 通常认为该厚度 AlN 具有足够的绝缘能力, 但在面对 SiC 功率模块的峰值电场处仍有可能发生击穿, 因此该研究通过将两层 DBA 板以烧结银作为连接层进行连接, 使得峰值电场降低了 27%, 该结构另一特点是取消了底板, 使 DBA 基板直接进行冷却. 基板的堆叠虽然会导致芯片散热热阻增加, 但基板直接冷却和取消厚度较大的底板带来的热阻改善可以实现整体热阻的

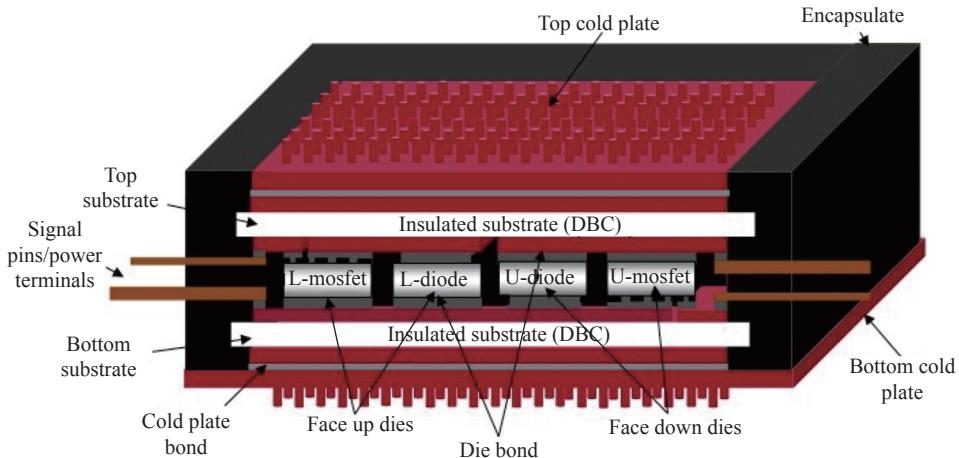
图 5 双冷板模块剖面示意图^[9]

Fig. 5 Sectional view of the module with dual cold plates

降低。经稳态热仿真得到在单个 MOSFET 芯片功率损失 200 W, 换热系数 $5\text{ 000 W/(m}^2\cdot\text{K)}$ 条件下, 芯片结温与传统结构相比降幅可达 15%, 表明该结构在改善了峰值电场问题的同时也具备更良好的散热能力。

Tanimoto 等人^[12]设计了图 6 的模块结构, 该结构具有 3 个金属层和两个陶瓷层, 采用 Au-Sn 钎料将基板焊接到铜底板上, 通过中间金属层的反平行电流, 有效地降低了寄生回路电感, 并且仅略微增加结温(升高 2 °C), 对散热的影响基本可忽略; Chen 等人^[13]则提出了一种混合封装的设计, 将芯片嵌入 PCB 板, 再将 PCB 板焊接在 DBC 板上, 如图 7 所示, 该结构为电路和结构设计提供额外的自

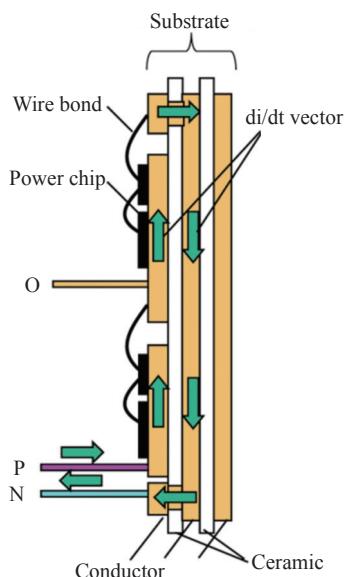
图 6 三导体双陶瓷基板结构示意图^[12]

Fig. 6 Sectional view of triple-conductor double-ceramic layered substrate

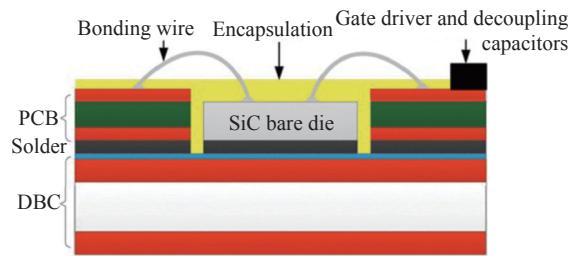
图 7 混合封装结构示意图^[13]

Fig. 7 Sectional view of hybrid package

由度, 通过优化栅极连接、电流回路和驱动位置从而降低寄生电感.

1.2 芯片贴装技术

功率器件的封装材料需要面对循环的温度变化带来的热应力, 传统的硅器件芯片贴装材料主要包括无铅钎料和导电胶, 但它们的熔点和 SiC 芯片可承受温度相比均过低, 无法满足 SiC 器件的应用需求^[14]. 目前适用于 SiC 等高性能功率器件的耐高温芯片贴装方法主要有传统钎焊连接、瞬态液相连接、纳米金属烧结^[14-15].

1.2.1 传统钎焊连接

目前已被研究并得到一定应用的无铅高温钎料主要包括 Zn-Al 基和 Au 基等.

Zn-Al 合金共晶点温度为 381 °C, 具有优良的导热导电性能, 且 Zn 和 Al 元素自然界储量丰富, 成本低廉, 是具有价格优势的一类钎料, 但是该类钎料连接温度过高(高达 400 °C), 且 Zn 元素易与氧结合, 降低钎料的润湿性, 目前对于该钎料通常采用添加微量元素如 In 和 Ga 等元素改善其润湿性. Yamada 等人^[16]通过 RF 等离子体去除 Zn-Al 焊片表面的氧化物, 在真空条件下溅射沉积

50 nm 厚度的铜薄膜, 经过该处理的焊片得到的接头与未经处理得到的接头相比, 孔隙和裂纹数目减少, 说明润湿得到改善。Tanimoto 等人^[17]通过向 Zn-5Al 合金加入少量 Ge 元素改善润湿性, 得到了在 -40~250 °C 下进行热循环 3 000 次后依旧具有 18.5 MPa 抗剪强度的接头, 但是目前较少有研究改变其较高的连接温度, 该钎料进行大规模应用, 仍有待克服的难题。

金基钎料耐腐蚀性强, 与铜和镍润湿性好, 且高温下较为稳定, 随着高性能功率器件的发展受到越来越多的关注, 目前应用较多的金基钎料主要包括 Au-Si, Au-Sn 和 Au-Ge 等。Au-Si 钎料中 Si 元素质量分数为 2.85%, 共晶温度 363 °C, 具有优秀的抗电迁移能力和导热导电性; Au-Sn 钎料中的 Sn 元素质量分数为 20%, 共晶温度 278 °C, 抗氧化性能强, 在钎焊过程中无需助焊剂, 因而符合部分高端电子产品无助焊剂的需求; Au-Ge 钎料中 Ge 元素质量分数为 12%, 共晶温度 361 °C。对于更高服役温度的钎料, Au-Ga, Au-Ag 和 Au-In 等合金体系受到研究者的关注。Liu 等人^[18]设计并制备了熔点为 450 °C 的 Au-30Ga 钎料, 发现其具有优秀的导热导电性能, 且在无助焊剂的情况下依旧保持良好的润湿性。

金基钎料存在的主要问题在于, 大多数金基钎料脆性高, 难以使用常规钎料的制备方法生产, 且金基钎料中金含量高, 使用成本高^[19]。对于脆性较高的金基钎料, 主要的制备方法包括叠层冷轧法、铸造拉拔轧制法、急冷甩带快速凝固法和电镀沉积法等, 可以通过增加其它合金元素, 从而降低金含量实现降低钎料成本, 除 Si, Sn, Ge 和 Ga 等元素外, 其它合金元素和颗粒增强相对钎料组织和性能影响的研究仍有待完善。

1.2.2 瞬态液相连接

瞬态液相 (transient liquid phase, TLP) 连接最早主要用于连接镍基、钴基等熔点较高的耐高温合金, 原理是通过施加一定的压力与温度, 使得低熔点钎料层熔化, 溶质原子以扩散的方式与高熔点基体生成金属间化合物 (intermetallic compound, IMC), 保持一段时间直至钎料层全部转化为 IMC 层, 该方法得到的全 IMC 接头耐高温能力显著强于传统高温钎料, 但是其缺点是扩散反应速率较慢, 且连接层成分在高温下随时间也会发生变化, 需要进行控制。

为解决该方法存在的问题, Li 等人^[20]结合超声波处理的方法, 利用超声波带来的高温高压可使高熔点材料快速溶解至液态钎料中, 造成过饱和状态, 从而使冷却过程中的 IMC 生成速度大大提高。使用频率为 20 kHz, 功率为 750 W 的超声波进行连接, 在常温下仅用数秒就形成了全金属化合物层; Hu 等人^[21]则尝试以另一种方式改进这一缺点, 制备了锡包裹铜颗粒制成的预成型片, 如图 8 所示, 在连接时加热至锡熔点之上, 使锡熔化并与铜扩散生成金属间化合物, 在 250 °C 下仅需保温 40 min 就获得了可承受 676 °C 工作温度的接头, 该方法在增大了反应接触面的同时还减小了扩散距离, 进而缩短了连接时间。

1.2.3 纳米金属烧结

银和铜具有良好的电、热以及力学性能, 但熔点较高, 利用金属纳米颗粒的表面效应, 可在较低温度 (200~350 °C) 和一定压力的辅助下实现耐高温连接。目前提高纳米焊膏的涂覆性、抗电迁移能力、降低连接压力和温度、提高连接速度以及减少成本是实际应用中遇到的主要挑战^[22-23]。在烧结过程中通常采用一定的压力降低接头中的孔隙率, 防止接头过早失效, 但压力过大导致芯片损坏。为解决压力和孔隙率之间的矛盾, Yang 等人^[24]将瞬态液相键合技术与烧结纳米银浆相结合, 通过将钢箔放置在两种纳米银浆之间, 在保持高熔融温度的同时, 在烧结接头和铜衬底之间制备出具有低孔隙率和良好润湿性的 Ag-In 接头, 接头制备方法如图 9 所示; Alayli 等人^[25]将火花等离子体烧结工艺 (SPS) 应用于纳米银烧结, 使烧结压力从原先的 33 MPa 减小至 3 MPa, 并且烧结时间也由 5 min 缩短至 1 min。

纳米铜成本相比纳米银成本更低, 且抗电迁移能力更强, 但纳米铜颗粒在空气中极易氧化为相对稳定的 CuO/Cu₂O, 阻碍 Cu 原子间的扩散, 且降低电导率和烧结密度, 在其大规模应用之前其不耐氧化的问题仍有待解决。为提升其耐氧化能力, 迟聪聪等人^[26]用油酸、柠檬酸和聚乙烯吡咯烷酮对纳米铜进行表面包覆改性, 成功制备出了在空气中放置 30 d 未出现氧化现象、在室温到 243 °C 之内均能保持热稳定性的纳米铜颗粒; Ji 等人^[27]采用核壳结构, 通过在纳米铜表面生长出抗氧化能力强的薄壳, 从而提升纳米颗粒的抗氧化能力, 制备了具有 Cu-Ag 核壳结构的纳米颗粒, 并通过超声辅助在

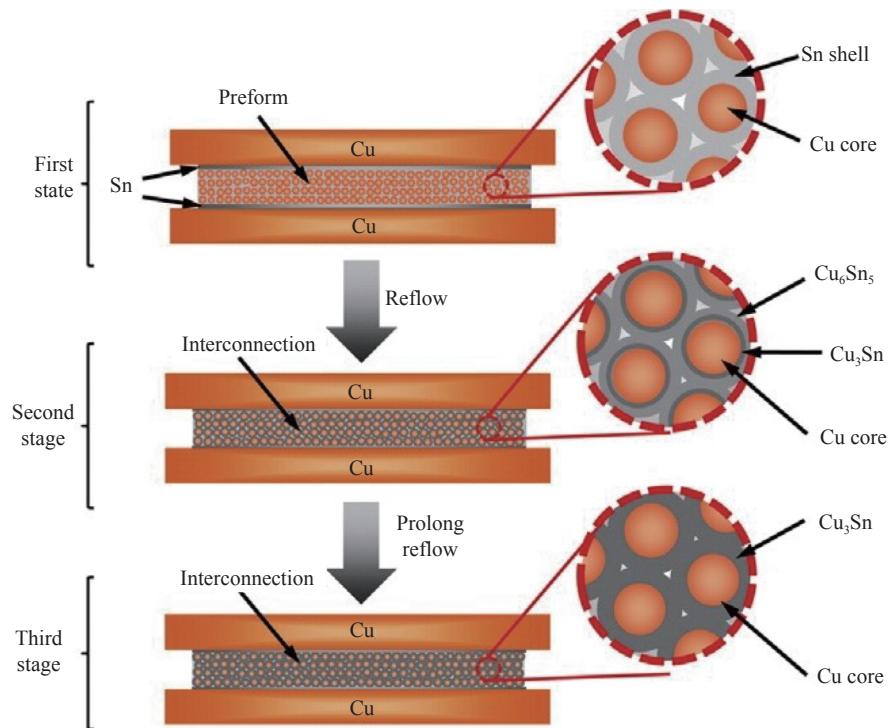
图 8 基于 Cu@Sn 粒子制备的高温剪切样品的结合工艺示意图^[21]

Fig. 8 Schematic diagram of the bonding process for the high-temperature shearing sample based on a preform fabricated with Cu@Sn particles

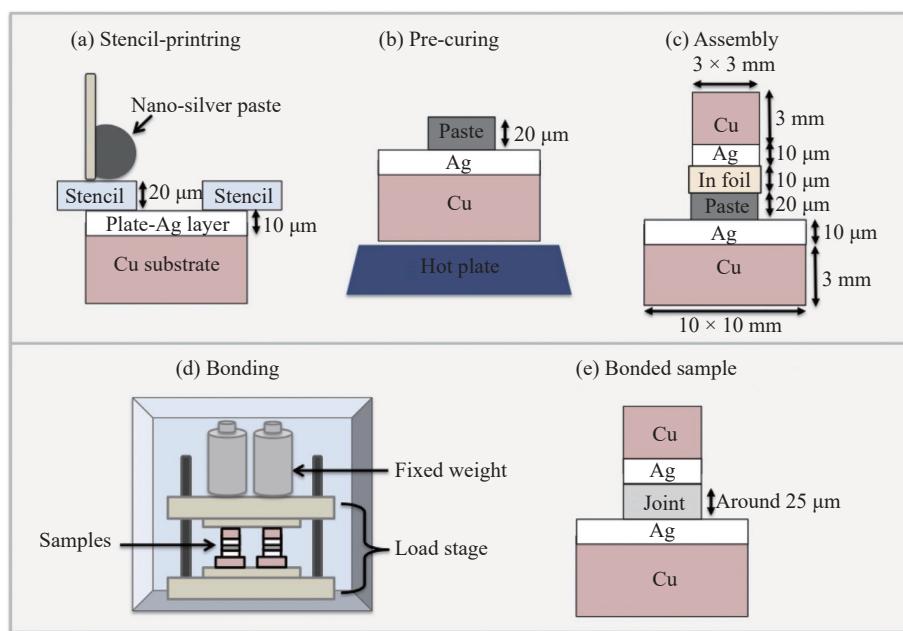
图 9 Ag-In 接头制备过程示意图^[24]

Fig. 9 Assembly process of the Ag-In joints

180 °C 下烧结得到了具有 54.27 MPa 抗剪强度的接头。徐瑜等人^[28]通过甲酸溶液对纳米铜颗粒进行 10 min 预处理，并在 300 °C、体积分数为 5%:95% 的氢气氩气混合保护气体下无压烧结 30 min，得到了抗剪强度为 16.18 MPa 的接头，该接头在 200 °C 空气中经过 200 h 高温老化试验，强度仍保

持在 9.38 MPa，验证了接头在高温大气条件下的强度受氧化影响较小。

1.3 引线键合技术

功率模块内部的半导体芯片表面、DBC 表面金属化层与某些功率端子之间需要互连实现电气连接，键合线互连由于工序灵活、可适应各种不

同的布局, 80% 以上的半导体封装均采用键合线互连^[29].

引线键合常用的引线材料分别包括金、铝和铜等, 由于金线成本偏高, 较少用于功率模块之中。铝线键合工艺成熟、成本较低, 至今仍是应用最为广泛的键合方法, 但铝和半导体芯片的热膨胀系数失配较大, 在经长时间服役后引起热疲劳, 使键合线产生裂纹甚至脱落, 进而导致模块失效。与铝相比, 铜具有更高的屈服强度、更适应芯片的热膨胀系数、更高的电导率和热导率等优势, 因此采用铜键合线的模块可以实现较高的功率循环寿命, 但是铜线具有更高的硬度, 芯片表面需制作较厚的铜层, 且需要更高的键合压力和能量才能完成连接, 这些都可能使较薄芯片产生裂纹。此外, 铜线难以与铝金属化的芯片表面进行连接, 需要额外对芯片进行铜金属化处理, 如采用物理气相沉积或化学电镀处理, 增加了工艺的复杂度, 制约了铜键合线的应用。镀铝铜线(Al-Cu)则不需要对芯片顶部采取额外的金属化工艺, 结合了铜优异电学性能和铝线适于批量生产的优点, 在降低了电阻率的同时增强了热导率, 显著增强了其功率循环可靠性。

Ling 等人^[30]对比了铝、铜和铝-铜键合线之间的功率循环寿命和键合工艺, 得到铜的寿命是铝的 10 倍, 铝-铜键合线是铝的 3~4 倍。虽然铝-铜键合线寿命低于铜, 但其工艺要求和成本大大降低, 芯片表面的金属化难度减小。在铜键合线的工艺更加成熟前, 铝-铜键合可作为一种过渡互连方法。

除键合线材料之外, 键合线的形状、高度和长度对功率器件的可靠性也有显著的影响。Zhao 等人^[31]通过有限元分析, 对比了弧形、梯形、抛物线形键合线的电热和热机械行为, 发现不同形状键合线的温度分布没有明显差异, 但应力差异很大, 弧形、梯形、抛物线形键合线的最大应力分别为 93.22, 76.73 和 106.1 MPa, 因此认为可以通过优化键合线形状, 提升功率器件的可靠性; Celnikier 等人^[32]建立了键合线长度、温度、电流密度和键合线位移的电热力学模型, 计算了 3 种长度的键合线分别在 3 种电流密度下的位移, 发现最佳长度应随着功率密度的增加而减少, 通过测量实际键合线的位移, 发现与该模型展现出了较好的一致性。

2 功率器件功率循环

与其它可靠性测试方法(如温度循环试验)相

比, 功率循环测试以芯片为热源, 更为接近实际工况, 是评估器件可靠性的最主要方式。在功率循环中, 被测器件与工况类似地被安装在散热器上, 通入一定占空比的电流, 使结温 T_{vj} 在电流导通时间 t_{on} 内升温到预期最大结温 T_{vjmax} , 同时全程以水冷或风冷的方式使得器件在电流断开时间 t_{off} 内降温至最小结温 T_{vjmin} , 由此带来结温的周期性变化, 以提前诱发器件失效。

2.1 功率循环测试技术

2.1.1 控制参数及策略

在功率循环试验中, 导致失效的直接激励源是结温变化 ΔT_{vj} 和最大结温 T_{vjmax} , 通常通过控制 t_{on} 和负载电流 I_{load} 间接控制结温变化和最大结温。欧洲 AQG 324 标准^[33] 规定功率循环中电流导通时间 t_{on} 小于 5 s 时考核的是芯片周围连接处, 称为秒级循环; t_{on} 大于 15 s 时考核的是远离芯片的连接处, 称为分钟级循环; 陈杰等人^[34] 研究了不同 t_{on} 对于失效模式的影响和失效机理, 控制器件在相同电热环境下仅改变 t_{on} , 发现随 t_{on} 从 1 s 变为 2 s, 键合线键脚的温度波动减小, 钎料层温度波动增大, 首先失效位置由键合线转为钎料层, 说明 t_{on} 通过影响温度分布的方式改变失效机理。

在开始功率循环前还需要选择电流激励方法以及控制策略。最常用的电流激励方法是 DC 功率循环电路, 即在 t_{on} 内保持导通状态, 通过导通损耗加热。而在功率器件的实际应用中, 往往是以脉冲宽带调制(pulse width modulation, PWM)控制, 在工作过程中频繁的切换状态, 由开关损耗和导通损耗共同加热, 如图 10 所示, 其中 DC 电路相对简单, PWM 电路复杂且结温准确测量难度较大; Tounsi 等人^[35] 在环境温度为 80 °C、结温波动 ΔT_j 为 70 K 的条件下, 测试了 PWM 电路对器件的

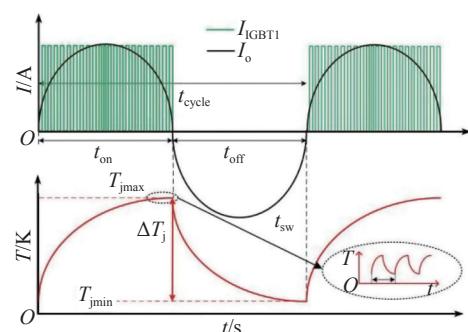


图 10 PWM 电路下的电流及温度变化^[36]

Fig. 10 Current and temperature changes in PWM circuits

静态参数及动态参数, 发现与 DC 电路无明显差异; 谢露红等人^[36]归纳总结了在两种电路下的失效方式, 发现其失效机理并无太大差别, 而 DC 功率循环具有电路简单, 结温测量准确的优点, 目前仍旧是主流的的测试方法^[37].

功率循环的控制策略对试验结果也会产生重要影响, 在不同控制策略下的模块寿命最多可相差 3 倍. 分别提出了严苛性不同的控制策略, 常见的 4 种严苛性由高到低依次是控制 t_{on} 不变、控制 ΔT_c (壳温变化量) 不变、 ΔP_v (功率损耗) 不变、 ΔT_j 不变. 其中恒定 t_{on} 作为最苛刻的策略, 同时也是欧洲 AQG 324 标准承认的唯一策略. 早期的国内标准如 GB/T 29332—2012 允许采取控制壳温恒定或随结温变化的策略, 分别考核键合线和焊料层; 而在 2021 年发布的 QCT 1136—2020 中则改为了与欧洲标准类似的秒级和分钟级测试, 但是与其不同的是, 国内标准选取的控制策略为保持 ΔT_j 不变, 且固定为 100 °C, 但无论 QCT 1136—2020 还是 AQG 324, 均未针对 SiC 器件进行单独的测试标准说明.

除上述参数之外, 结温测量的延迟时间如果设置不当也会造成重大的误差. 对于功率半导体器件, 在负载电流切断后载流子需要一定时间复合, 从而重建电场, 如果在这时立刻测量结温则会导致测量结温偏高, 而如果延迟时间过长, 由于散热器作用结温会下降; Herold 等人^[38]计算了不同结温误差导致的寿命误差, 发现对于结温波动为 90 °C、最小结温为 25 °C 时, 5 °C 的误差可以导致 27% 的寿命误差; Herold 等人^[39]提出可以根据延迟时间和结温变化量的正比关系, 从后续温度反推最高结温. 为准确测量结温, 需要设定一定的测量延迟时间. 邓二平等^[37, 40]研究了测量延迟对于结温测量准确性的影响, 并提出应从两方面解决测量延时问题, 一是要解决寄生电感问题, 降低测试回路对测量延时的影响, 二是测试设备需具有较高的抗干扰能力和足够的采样率.

2.1.2 参数监测及失效判据

在功率循环中除了控制初始参数, 与被测器件失效相关的参数的监测也十分重要. 以绝缘栅双极型晶体管 (insulated gate bipolar transistor, IGBT) 器件为例, 根据欧洲 AQG 324 标准, 失效的判据是: 热阻 R_{th} 提升至初始值的 120% 或者饱和压降 V_{CE} 提升至初始值的 105% 即判定为失效, 如图 11

所示^[41], 其中 V_{CE} 用来监测键合线失效, R_{th} 用来监测芯片到底板之间的封装完整性. 试验期间, V_{CE} 被实时监控, 可直接在电路中测得. 热阻以结到壳热阻 R_{thc} 为例, 定义如式(1)所示, 其中壳温 T_c 和功率 P_v 通过在线测量获得, 问题在于结温 T_j 需要在不破坏封装结构的基础上进行准确测量, 目前存在的结温测量方法包括红外相机测量法、热电偶测量法、芯片集成温度传感器法和温敏电参数法等, 其中温敏电参数法由于不需要对芯片或封装进行额外操作, 因而泛用性最广, 受到最多的关注^[42-43]. 以温敏电参数法为例, 该方法本质是通过选定并测量一种受温度影响的器件参数作为温度敏感参数 (temperature sensitive electrical parameter, TSEP) 建立该参数与结温之间的关系, 进而模拟结温的变化.

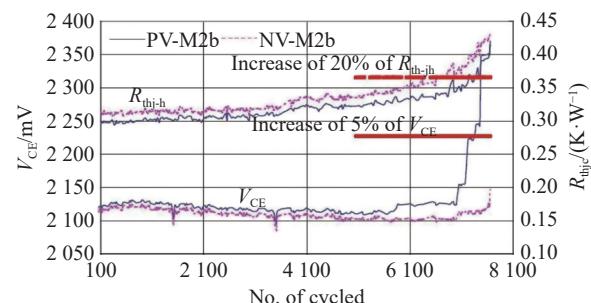


图 11 ECONOPACK 电源模块 APC 测试期间 V_{CE} 和 R_{thjc} 的演变^[41]

Fig. 11 Evolution of V_{CE} and R_{thjc} during APC testing of ECONOPACK power module

$$R_{thjc} = \frac{T_j - T_c}{P_v} = \frac{\Delta T}{P_v} \quad (1)$$

在功率循环试验中较为常见的温敏参数方法是小电流下饱和压降法^[44], 根据半导体的固有特性, 在小电流下的饱和压降 V_{CE} 与结温呈线性关系, 因此该方法首先通过外部加热功率模块使其温度均匀, 然后测定此时的饱和压降, 分别在 3~5 个温度下测量即可得到反应结温和饱和压降关系的 k 曲线. 在功率循环每个循环中负载电流断开时, 向线路中通入小电流 I_{sense} , 得到小电流下的饱和压降 V_{CE} , 代入 k 曲线算得此时的结温 T_j .

除了利用饱和压降测量结温, 对于具有 MOS 结构的器件 (如 MOSFET 和 IGBT), 其栅极阈值电压也是有效的温敏电参数, 温度校准方法与饱和压降类似. Zeng 等人^[45]研究了两种测量方法的差异, 在相同条件下分别用两种参数测量结温,

发现使用栅极阈值电压始终高于饱和压降法获得的结温,如图 12 所示,可以看到随电流的增大,除了结温整体上升之外,两种方法得到的结温差也在上升,这主要是由于芯片横向的温度梯度在逐渐增大。

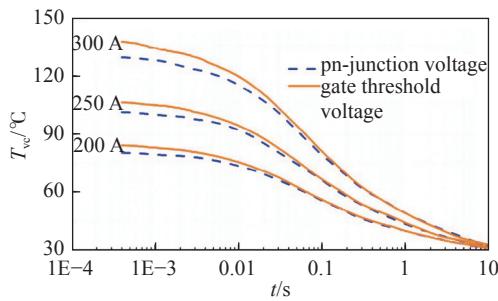


图 12 650 V IGBT 器件两种方法测量结温过程的对比^[45]
Fig. 12 Comparison of two methods for measuring junction temperature in 650 V IGBT devices

由于 SiC 材料自身的特性,SiC 器件的栅极存在阈值电压不稳定性,随着功率循环的进行阈值电压会发生漂移,影响相应结温测量方法的准确性。目前受到广泛认可的 SiC 功率器件结温测量方法是利用器件体二极管在小电流下的温度特性^[37],通过在测量结温时给栅极施加足够负电压,使反向测量电流全部流经体二极管,从而避免阈值电压的偏移影响结温测量,但是该方法不能用于带有反并联二极管的 SiC 器件,因为反并联二极管会将测量电流分流,无法得到准确的测量电压,因而仍需要开发新的测量结温方法。

在实际工作和功率循环过程中,半导体芯片由于传导和开关损耗被加热,使得芯片中心温度高于边缘温度。过去由于芯片产热相对较少,温度梯度还不明显,但随着芯片功率密度的不断上升,芯片中心和边缘温差很容易达到 40 K,这种变化可能使芯片钎料层的退化从四角转化为从中心开始^[44],这一改变使得芯片上的温度梯度成为需要被考虑到的要素之一。

Schmidt 等人^[44]通过 MAKENET 预处理器建立了被测系统(电源模块和散热片)的三维模型,在利用饱和压降法获得了芯片平均结温的基础上,对于芯片的每个节点,都可以使用电气网络求解器 PSpice 来计算温度,得到的模拟结果与红外测量结果较为接近。

陈杰^[46]则利用了饱和压降法和栅极阈值电压法的物理意义,即饱和压降主要反映集电极侧

PN 结处的温度,栅极阈值电压主要反映的是发射极侧沟道区的温度,结合这两个信息提出了计算芯片纵向温度梯度的方法。

除 R_{th} 和 V_{ce} 这两个常用失效判据外,近年来的研究中也陆续有关于其它判据的报道。石巍^[47]选取栅极峰值电流 I_{gpeak} 的减小作为判据,建立了关于 I_{gpeak} 和键合线老化程度之间的定量关系,通过外加传感器测量和电阻对电流采样得到该值;孙鹏菊等人^[48]以集电极和发射极两端直连时得到的短路电流 I_{sc} 作为判据,构建了键合线相关寄生参数的等效电阻网络模型,并分析了键合线老化情况与电阻网络状态之间的对应关系,从而将 I_{sc} 作为判断键合线状况的判据之一;模块跨导 g_m 作为反映接合线健康状况的参数之一,也可被用来监测键合线的失效,Wang 等人^[49]推导出模块跨导的数学模型,建立了模块跨导与键合线参数之间的关系,表明模块跨导随着键合线缺陷的增加而减小,并提出了一种脉冲斜坡驱动电路提取模块跨导,进而监控键合线的状态。

2.2 功率模块失效机理与相关研究

2.2.1 钎料层失效

钎料层的疲劳失效原因常见可分为空洞和裂纹^[50]。空洞的产生是在连接过程中由于无铅焊点的回流效应而导致的难以避免的缺陷,且会随着循环往复的温度变化发生长大和增多;空洞会使局部温度梯度升高、应力上升并阻碍散热,显著提高结温形成热斑,甚至导致器件烧毁。裂纹则是由热膨胀系数不匹配造成的剪切应力产生的,随着钎料层承受循环热应力,裂纹会不断生长造成分层现象。裂纹和空洞的增加均会显著提高芯片的最大结温,产生正反馈加速钎料层疲劳和键合线的失效。

钎料层中空洞大小、数量和分布位置由于对可靠性影响较大,因而是研究者关注的重点。Li 等人^[51]研究了在使用 SAC305 钎料焊接过程中,基板铜晶粒大小对空洞数量的影响,通过提前给铜基板进行退火改变其铜晶粒大小,然后对比在不同晶粒大小的铜基板上焊点的空洞的演化规律,得出了铜晶粒尺寸减小会产生更多空洞的结论;孙海峰等人^[52]使用 COMSOL 建立了功率模块的三维模型,并研究了空洞大小和位置对模块温度的影响,发现当空洞位于上钎料层时对温度分布影响较大,且空洞半径越大,温度升高幅度也越大。

裂纹的生长会造成钎料层热阻的增大,江南等

人^[53]基于 2D 有限元分析研究了裂纹长度对热阻的影响, 发现在裂纹萌生初期, 热阻变化较小, 但当裂纹长度比例达到钎料层边长 8% 时, 芯片热阻会以指数形式增大。关于如何确定裂纹的位置, 郭秋亚^[54]提出了可以通过结构函数铜层的偏移量大小判断裂纹的大小, 通过铜层的斜率判断裂纹的位置。

2.2.2 键合线失效

键合线疲劳失效通常分为键合线断裂和脱落, 显微镜下的形貌如图 13 所示。键合线产生裂纹是由于在循环热应力下, 键合线的高度和长度随之发生变化, 其位移可达 5~50 μm^[55], 导致根部弯曲变形进而出现裂纹, 引发断裂; 而键合线的脱落的原因主要是由于键合线和芯片表面热膨胀系数相差较大, 产生的剪切应力作用使键合区域出现裂纹, 最终导致键合线脱落。

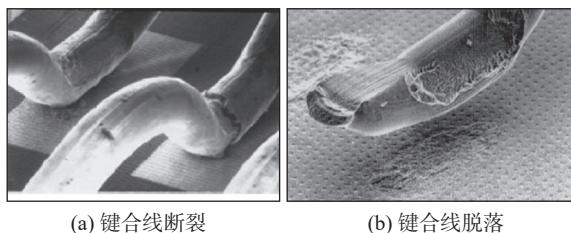


图 13 键合线根部断裂和脱落的微观形貌^[55]

Fig. 13 Microscopic morphology of fracture and detachment at the root of the bonding line. (a) fracture; (b) detachment

为探究电流频率对键合线失效的影响, Czerny 等人^[56]用激光多普勒测振仪测试了不同频率的工作电流下功率器件各部位的位移情况, 结果如图 14 所示, 发现随频率降低, 位移增大, 最大位移发生在二极管键合线上。电流频率对可靠性的影响通常被忽略不计, 但在频率较低时, 二极管引线

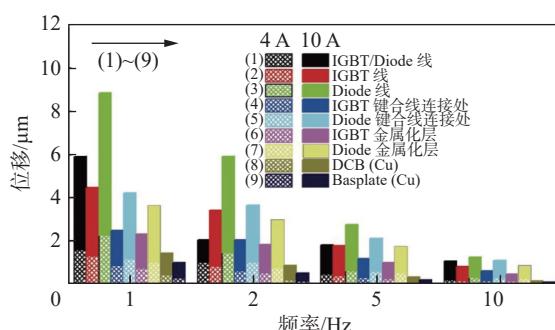


图 14 IGBT 功率器件内部不同部位的垂直位移情况^[56]
Fig. 14 Vertical displacement of different parts inside IGBT power devices

由于电流变化引发的位移已超过总位移的十分之一, 应被视为影响键合线失效的因素之一。

如前文所说, 通常以 V_{CE} 作为监控键合线失效的参数, 为探究在功率循环过程中键合线的老化过程与 V_{CE} 间的关系, Dornic 等人^[57]跟踪了功率循环过程中键合线裂纹的生长, 发现其增长与 V_{CE} 的增长趋势一致, 均在功率循环早期快速增长, 然后以线性增长, 至循环末期以指数增长至失效, 据此推测 V_{CE} 的变化与键合线裂纹直接相关, 但其发生关联的机理仍不清晰。

关于键合线失效机理和失效判据, 研究人员已进行了大量的工作, 但是关于键合线微观组织在失效过程中的变化、失效过程中裂纹生长对器件参数的影响方面研究仍较少, 有待进一步研究。

3 结束语

(1) 针对功率器件的封装和功率循环测试进行了综述, 综合近年来的研究, 总结出了两个可提升封装可靠性的方向, 一是改进封装结构, 针对功率器件散热面积有限、器件功率受限的问题采取重新设计基板、取消键合线互连以及双面散热等方法改善散热效率, 降低模块热阻; 二是改进封装互连材料和方法。

(2) 钎料层和键合线是器件正常工作导致的失效高发位置, 在键合线方面, 研究者们从键合线的材料、形状和高度等方面进行优化; 在钎料层方面, 连接材料成分的改进、与外加场(如超声波处理)结合都取得了一定的成果。

(3) 列举了功率循环试验中需要控制和监控的参数, 分析了功率循环试验中最常见的两类失效。

4 未来展望

(1) 提升功率器件的散热能力。发挥高性能功率器件的潜力, 提高器件的散热能力是必然趋势。在封装结构方面, 设计无键合线的多维散热结构, 降低寄生电感、增加散热路径; 在材料方面, 在不改变整体性能的基础上, 选取导热性能更好的材料。

(2) 提高功率循环中结温测量的准确性。高性能功率器件带来不可忽视的结温梯度, 但目前功率循环试验中的常用的结温测量方式得到的都是平

均结温。为了更好的研究器件失效的过程,有必要设计一种可以在线准确获得结温梯度的方法。

(3) 研究新型封装结构的失效机理。关于新型封装结构失效机理的研究尚不多见,对其进行相应研究有利于为新封装结构的应用和改进提供思路。

(4) 分析多方面因素综合作用下的功率器件失效过程和机理。模块在实际的工作中不仅涉及热应力,同时还受振动、湿度等因素影响,现有研究主要集中在温度对器件可靠性的影响,较少分析多种因素共同作用下的失效机理。

参考文献

- [1] Yoder M N. Wide bandgap semiconductor materials and devices[J]. IEEE Transactions on Electron Devices, 1996, 43(10): 1633 – 1636.
- [2] 蔡蔚, 杨茂通, 刘洋, 等. SiC 功率模块封装技术及展望 [J]. 汽车工程, 2022, 44(4): 638 – 648.
Cai Wei, Yang Maotong, Liu Yang, et al. SiC power module packaging technologies and prospects[J]. Automotive Engineering, 2022, 44(4): 638 – 648.
- [3] Hou F, Wang W, Cao L, et al. Review of packaging schemes for power module[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2019, 8(1): 223 – 238.
- [4] Dimarino C, Boroyevich D, Burgos R, et al. Design and development of a high-density, high-speed 10 kV SiC mosfets module [C]//2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe). IEEE, 2017.
- [5] Ikeda Y, Iizuka Y, Hinata Y, et al. Investigation on wirebond-less power module structure with high-density packaging and high reliability [C]//IEEE, 2011.
- [6] Stabach J, Cole Z, O'neal C, et al. A high performance power package for wide bandgap semiconductors using novel wire bondless power interconnections[J]. International Symposium on Microelectronics, 2015(1): 000353 – 000358.
- [7] Stockmeier T, Beckedahl P, Göbl C, et al. SKiN: double side sintering technology for new packages [C]//2011 IEEE 23rd International Symposium on Power Semiconductor Devices and ICs. IEEE, 2011.
- [8] Zhu N, Mantooth H A, Xu D, et al. A solution to press-pack packaging of SiC mosfets[J]. IEEE Transactions on Industrial Electronics, 2017, 64(10): 8224 – 8234.
- [9] Liang Z. Integrated double sided cooling packaging of planar SiC power modules [C]//2015 IEEE Energy Conversion Congress and Exposition (ECCE). IEEE, 2015: 4907 – 4912.
- [10] Boteler L M, Miner S M, Hinojosa M. Co-designed high voltage module [C]//2018 17th IEEE Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm). IEEE, 2018: 824 – 830.
- [11] Fabian J, Hartmann S, Hamidi A. Partial discharge failure analysis of AlN substrates[J]. Microelectronics Reliability, 2004, 44: 1425 – 1430.
- [12] Tanimoto S, Matsui K. High junction temperature and low parasitic inductance power module technology for compact power conversion systems[J]. IEEE Transactions on Electron Devices, 2015, 62(2): 258 – 269.
- [13] Chen C, Chen Y, Li Y, et al. An SiC-based half-bridge module with an improved hybrid packaging method for high power density applications[J]. IEEE Transactions on Industrial Electronics, 2017, 64(11): 8980 – 8991.
- [14] 杨东升, 张贺, 冯佳运, 等. 电子封装微纳连接技术及失效行为研究进展 [J]. 焊接学报, 2022, 43(11): 126 – 136.
Yang Dongsheng, Zhang He, Feng Jiayun, et al. Research progress of low-temperature Cu-Cu bonding technology for advanced packaging[J]. Transactions of the China Welding Institution, 2022, 43(11): 126 – 136.
- [15] 冯洪亮. Ni-Sn TLPS 连接特性与动力学研究 [D]. 北京: 北京科技大学, 2018.
Feng Hongliang. Study on the characteristics and kinetics of Ni-Sn TLPS bonding process[D]. Beijing: University of Science and Technology Beijing, 2018.
- [16] Yamada Y, Takaku Y, Yagi Y, et al. Pb-free high temperature solder joints for power semiconductor devices[J]. Transactions of the Japan Institute of Electronics Packaging, 2009, 2(1): 79 – 84.
- [17] Tanimoto S, Matsui K, Zushi Y, et al. Eutectic Zn-Al die attachment for higher T_j SiC power applications: Fabrication method and die shear strength reliability[J]. Journal of Microelectronics and Electronic Packaging, 2013, 10(2): 59 – 66.
- [18] Liu H, Xue S, Tao Y, et al. Design and solderability characterization of novel Au–30Ga solder for high-temperature packaging[J]. Journal of Materials Science:Materials in Electronics, 2020, 31: 2514 – 2522.
- [19] 刘晗, 薛松柏, 王刘珏, 等. 金基中低温钎料的研究现状与展望 [J]. 材料导报, 2019, 33(19): 3189 – 3195.
Liu Han, Xue Songbai, Wang Liuyu, et al. Research status and prospect of Au-based medium-low temperature filler metals[J]. Materials Reports, 2019, 33(19): 3189 – 3195.
- [20] Li Z, Li M, Xiao Y, et al. Ultrarapid formation of homogeneous Cu_6Sn_5 and Cu_3Sn intermetallic compound joints at room temperature using ultrasonic waves[J]. Ultrasonics Sonochemistry, 2014, 21(3): 924 – 929.
- [21] Hu T, Chen H, Li M. Die attach materials with high remelting temperatures created by bonding $\text{Cu}@\text{Sn}$ microparticles at lower temperatures[J]. Materials & Design, 2016, 108: 383 – 390.
- [22] 邹贵生, 闫剑锋, 刘磊, 等. 纳米金属颗粒膏合成及其低温烧结连接的电子封装应用研究进展 [J]. 机械制造文摘(焊接分册),

- 2013(1): 12 – 16.
- Zou Guisheng, Yan Jianfeng, Liu Lei, *et al.* Development of the synthesis of metal nanoparticle paste[J]. *Welding Digest of Machinery Manufacturing*, 2013(1): 12 – 16.
- [23] 贾强, 邹贵生, 张宏强, 等. 纳米颗粒材料作中间层的烧结连接及其封装应用研究进展 [J]. *机械工程学报*, 2022, 58(2): 2 – 16.
Jia Qiang, Zou Guisheng, Zhang Hongqiang, *et al.* Research progress in sintering-bonding with nanoparticle materials as interlayer and its packaging application[J]. *Journal of Mechanical Engineering*, 2022, 58(2): 2 – 16.
- [24] Yang C, Yang S, Liu X, *et al.* Enhancement of nano-silver chip attachment by using transient liquid phase reaction with indium[J]. *Journal of Alloys and Compounds*, 2018, 762: 586 – 597.
- [25] Alayli N, Schoenstein F, Girard A, *et al.* Spark plasma sintering constrained process parameters of sintered silver paste for connection in power electronic modules: Microstructure, mechanical and thermal properties[J]. *Materials Chemistry and Physics*, 2014, 148(1-2): 125 – 133.
- [26] 迟聪聪, 夏亮, 王墨, 等. 丙三醇-水二元溶剂法抗氧化纳米铜的制备 [J]. *包装工程*, 2020, 41(13): 131 – 138.
Chi Congcong, Xia Liang, Wang Zhao, *et al.* Preparation of antioxidant copper nanoparticles in glycerol-water binary solvent system[J]. *Packaging Engineering*, 2020, 41(13): 131 – 138.
- [27] Ji H, Zhou J, Liang M, *et al.* Ultra-low temperature sintering of Cu@ Ag core-shell nanoparticle paste by ultrasonic in air for high-temperature power device packaging[J]. *Ultrasonics Sonochemistry*, 2018, 41: 375 – 381.
- [28] 徐瑜, 戴东方, 杨仁彬, 等. 甲酸处理的纳米铜无压烧结性能及高温老化研究 [J]. *重庆大学学报*, 2023(10): 1 – 10.
Xu Yu, Dai Dongfang, Yang Renbin, *et al.* Research on pressureless sintering performance and high temperature aging of formic acid-treated nano-copper[J]. *Journal of Chongqing University*, 2023(10): 1 – 10.
- [29] Zhou H, Zhang Y, Cao J, *et al.* Research progress on bonding wire for microelectronic packaging[J]. *Micromachines*, 2023, 14(2): 432.
- [30] Ling J M, Xu T, Chen R, *et al.* Cu and Al-Cu composite-material interconnects for power devices [C]//62nd IEEE Electronic Components and Technology Conference (ECTC). San Diego, CA, 2012: 1905 – 1911.
- [31] Zhao J, Qin F, An T, *et al.* Electro-thermal and thermal-mechanical FE analysis of IGBT module with different bonding wire shape [C]//2017 18th International Conference on Electronic Packaging Technology (ICEPT). IEEE, 2017: 548 – 551.
- [32] Celnikier Y, Dupont L, Herve E, *et al.* Optimization of wire connections design for power electronics[J]. *Microelectronics Reliability*, 2011, 51(9-11): 1892 – 1897.
- [33] European Center for Power Electronics. Qualification of power modules for use in power electronics converter units (PCUs) in motor vehicles: AQG 324 [S]. Nuremberg, Germany: ECPE Working Group, 2018.
- [34] 陈杰, 邓二平, 张一鸣, 等. 功率循环试验中开通时间对高压大功率 IGBT 模块失效模式的影响及机理分析 [J]. *中国电机工程学报*, 2020, 40(23): 7710 – 7721.
Chen Jie, Deng Erping, Zhang Yiming, *et al.* Influence and mechanism analysis of load pulse duration on failure mode of high power IGBT module under power cycling condition[J]. *Proceedings of the CSEE*, 2020, 40(23): 7710 – 7721.
- [35] Tounsi M, Oukaour A, Tala-Ighil B, *et al.* Characterization of high-voltage IGBT module degradations under PWM power cycling test at high ambient temperature[J]. *Microelectronics Reliability*, 2010, 50(9-11): 1810 – 1814.
- [36] 谢露红, 赵雨山, 常桂钦, 等. DC 功率循环与 PWM 功率循环的差异对比分析 [J]. *半导体技术*, 2021, 46(10): 808 – 818.
Xie Luhong, Zhao Yushan, Chang Guiqin, *et al.* Comparison and analysis of the difference between dc power cycling and PWM power cycling[J]. *Semiconductor Technology*, 2021, 46(10): 808 – 818.
- [37] 邓二平, 严雨行, 陈杰, 等. 功率器件功率循环测试技术的挑战与分析 [J]. *中国电机工程学报*, 2023, 43(13): 5132 – 5151.
Deng Erping, Yan Yuxing, Chen Jie, *et al.* Power cycling test technologies for power semiconductor devices-challenges and analysis[J]. *Proceedings of the CSEE*, 2023, 43(13): 5132 – 5151.
- [38] Herold C, Franke J, Bhojani R, *et al.* Requirements in power cycling for precise lifetime estimation[J]. *Microelectronics Reliability*, 2016, 58: 82 – 89.
- [39] Herold C, Beier M, Lutz J, *et al.* Improving the accuracy of junction temperature measurement with the square-root-t method [C]//19th International Workshop on Thermal Investigations of ICs and Systems (THERMINIC). IEEE, 2013: 92-94.
- [40] 邓二平, 陈杰, 赵雨山, 等. IGBT 封装形式对结温测量精度的影响 [J]. *半导体技术*, 2018, 43(12): 956 – 963.
Deng Erping, Chen Jie, Zhao Yushan, *et al.* Influence of IGBT package types on the accuracy of junction temperature measurement[J]. *Semiconductor Technology*, 2018, 43(12): 956 – 963.
- [41] Amro D-I R. Power cycling capability of advanced packaging and interconnection technologies at high temperature swings [D]. Chemnitz: Technische Universitat Chemnitz, 2006.
- [42] 陈杰, 邓二平, 赵雨山, 等. 高压大功率器件结温在线测量方法综述 [J]. *中国电机工程学报*, 2019, 39(22): 6677 – 6688.
Chen Jie, Deng Erping, Zhao Yushan, *et al.* Review of on-line junction temperature measurement methods of high voltage power electronics[J]. *Proceedings of the CSEE*, 2019, 39(22): 6677 – 6688.
- [43] Wei H, Zhiwen C. Review on failure analysis of interconnections in power devices[J]. *China Welding*, 2022, 31(1): 6 – 14.
- [44] Schmidt R, Scheuermann U. Using the chip as a temperature

- sensor-The influence of steep lateral temperature gradients on the V_{ce} (T)-measurement[J]. Epe Journal, 2011, 21(2): 5 – 11.
- [45] Zeng G, Cao H, Chen W, et al. Difference in device temperature determination using pn-junction forward voltage and gate threshold voltage[J]. IEEE Transactions on Power Electronics, 2018, 34(3): 2781 – 2793.
- [46] 陈杰. 功率循环试验中芯片温度分布特性的测量方法研究 [D]. 北京: 华北电力大学(北京), 2022.
Chen Jie, Research on measurement method of temperature distribution characteristics on the chip in power cycling test[D]. Beijing: North China Electric Power University, 2022.
- [47] 石巍. 大功率 IGBT 模块健康状态信息提取方法研究及加速老化试验平台研制 [D]. 杭州: 浙江大学, 2018.
Shi Wei. Research on state-of-health extraction method of high power IGBT modules and design of the accelerated aging test-Platform system[D]. Hangzhou: Zhejiang University, 2018.
- [48] 孙鹏菊, 王海波, 龚灿, 等. 短路电流作为绝缘栅双极型晶体管模块键合线老化特征量的机理研究 [J]. 中国电机工程学报, 2019, 39(16): 4876 – 4883.
Sun Pengju, Wang Haibo, Gong Can, et al. Mechanism research of short-circuit current as bond wire ageing indicator of insulated gate bipolar transistor module[J]. Proceedings of the CSEE, 2019, 39(16): 4876 – 4883.
- [49] Wang K, Zhou L, Sun P, et al. Monitoring bond wire defects of IGBT module using module transconductance[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2021, 9(2): 2201 – 2211.
- [50] 曾杰, 檀浩浩, 杨方, 等. IGBT 模块焊层的被动热循环可靠性分析 [J]. 焊接学报, 2023, 44(7): 123 – 128.
Zeng Jie, Tan Haohao, Yang Fang, et al. Reliability analysis of solder layer of IGBT module under passive thermal cycling[J]. Transactions of the China Welding Institution, 2023, 44(7): 123 – 128.
- [51] Li H, An R, Wang C, et al. Effect of Cu grain size on the voiding propensity at the interface of SnAgCu/Cu solder joints[J]. Materi-als Letters, 2015, 144: 97 – 99.
- [52] 孙海峰, 杨舒曼. 焊料层空洞对绝缘栅双极型晶体管(IGBT)模块温度分布的影响 [J]. 科学技术与工程, 2018, 18(32): 189 – 194.
Sun Haifeng, Yang Shuman. Influence of solder void on temperature distribution of insulated gate bipolar transistor (IGBT) module[J]. Science Technology and Engineering, 2018, 18(32): 189 – 194.
- [53] 江南, 陈民铀, 徐盛友, 等. 计及裂纹损伤的 IGBT 模块热疲劳失效分析 [J]. 浙江大学学报(工学版), 2017, 51(4): 825 – 833.
Jiang Nan, Chen Minyou, Xu Shengyou, et al. Thermal fatigue of IGBT module considering crack damage[J]. Journal of Zhejiang University(Engineering Science), 2017, 51(4): 825 – 833.
- [54] 郭秋亚. IGBT 模块的焊料层疲劳失效机理研究 [D]. 天津: 天津理工大学, 2020.
Guo Qiuya. Study on fatigue failure mechanism of IGBT module's solder layer[D]. Tianjin: Tianjin University of Technology, 2020.
- [55] 王学梅, 张波, 吴海平. 基于失效物理的功率器件疲劳失效机理 [J]. 电工技术学报, 2019, 34(4): 717 – 727.
Wang Xuemei, Zhang Bo, Wu Haiping. A review of fatigue mechanism of power devices based on physics-of-failure[J]. Transactions of the China Electrotechnical Society, 2019, 34(4): 717 – 727.
- [56] Czerny B, Lederer M, Nagl B, et al. Thermo-mechanical analysis of bonding wires in IGBT modules under operating conditions[J]. Microelectronics Reliability, 2012, 52(9-10): 2353 – 2357.
- [57] Dornic N, Ibrahim A, Khatir Z, et al. Analysis of the aging mechanism occurring at the bond-wire contact of IGBT power devices during power cycling[J]. Microelectronics Reliability, 2020, 114: 113873.

第一作者: 关若飞, 硕士研究生; 主要研究方向为功率循环、功率器件的封装材料; Email: guanruofei0@163.com.

通信作者: 王乙舒, 博士, 副教授; Email: yishu.wang@bjut.edu.cn.

(编辑: 郑红)